

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036817

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H04N 5/335

H01L 27/146

H01L 31/10

(21)Application number : 11-208267

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 22.07.1999

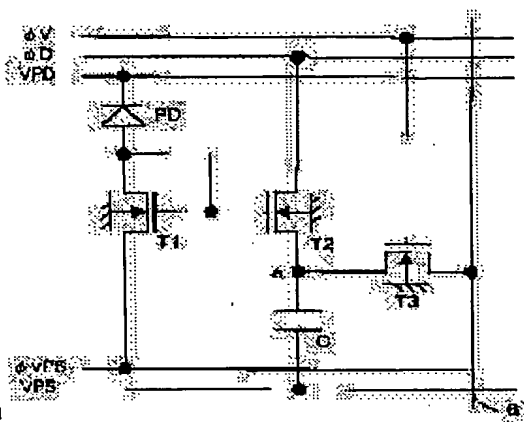
(72)Inventor : TAKADA KENJI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device with good responsiveness capable of picking up an image of an object in a wide luminance range from a high luminance region to a low luminance region with high definition and by which each pixel is reset to an original state at high speed even in the low luminance area.

SOLUTION: Reset is promptly performed by re-coupling positive electric charges stored in a drain, a gate of a MOS transistor T1, a gate of a MOS transistor T2 and an anode of a photodiode by setting a signal ϕ_{VPS} to be provided to a source of the first MOS transistor T1 as low level and making a state that negative electric charges are easy to flow in the MOS transistor T1 after image pickup operation of each pixel is completed.



BEST AVAILABLE COPY

ジスタの第2電極に接続される直流電圧よりも低電位とすればよい。更に、導出路としては、請求項12に記載するように、全面素子の中から所定のものを順次選択し、選択された素子から増幅された信号を出力信号線に導出するスライツを含むものを用いてもよい。

【0016】請求項13に記載の固体撮像装置は、複数の面素を有する固体撮像装置において、各面素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極とゲート電極が接続された第1MOSTランジスタと、該第1MOSTランジスタの第1電極及びゲート電極にゲート電極が接続された第2MOSTランジスタとを有し、前記面素に増幅動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第1MOSTランジスタの第2電極以下にサブスレッショルド電圧を動作させ、前記面素の第1電圧を与えて、前記第1MOSTランジスタを素子のリセットを行うときは、前記第1MOSTランジスタの第2電極に第2電圧を与えて、前記第1のトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

【0017】又、請求項14に記載するように、前記面素に、第1電極が前記第2MOSTランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第4MOSTランジスタを設けてもよい。又、請求項15に記載の固体撮像装置のように、前記面素に、第1電極に直流電圧が印加され、ゲート電極が前記第2MOSTランジスタの第2電極に接続されるとともに、前記第2MOSTランジスタの第2電極から出力される出力信号を増幅する第3MOSTランジスタを設けてもよい。

【0018】請求項16に記載の固体撮像装置は、請求項15に記載の固体撮像装置において、前記面素が、第1電極が前記第3MOSTランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第4MOSTランジスタを有することを特徴とする。

【0019】請求項17に記載の固体撮像装置は、請求項15又は請求項16に記載の固体撮像装置において、前記面素が、前記第2MOSTランジスタの第2電極に一端が接続されるとともに、前記第2MOSTランジスタの第1電極にリセット電圧が与えられたときに前記第2MOSTランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0020】請求項18に記載の固体撮像装置は、請求項15又は請求項16に記載の固体撮像装置において、前記第3MOSTランジスタの第1電極に直流電圧が印加されるとともに、前記面素が、前記第2MOSTランジスタの第2電極に第1電極が接続され第2電極に直流電圧が印加された第5MOSTランジスタと、前記第2MOSTランジスタの第2電極に一端が接続されると

もに、前記第5MOSTランジスタのゲート電極にリセット電圧が与えられたときに前記第5MOSTランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0021】請求項19に記載の固体撮像装置は、請求項13～請求項18のいずれかに記載の固体撮像装置において、前記面素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成すMOSTランジスタを備えていることを特徴とする。

10

【発明の実施の形態】<面素構成の第1例>以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図1は本発明の実施形態である二次元的MOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置（マトリクス配置）された面素を示している。2は垂直走査回路であり、行ラインを面素ごとに水平方向に順次読み出す。5は電源線6-1、6-2、・・・、6-mに導出された出力信号線6-1、6-2、・・・、4-nと出力信号線6-1、6-2、・・・、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略し、図2に示す第1の実施形態において示している。

【0023】出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSTランジスタQ2が図示の如く1つずつ設けられている。MOSTランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終於な信号線8に接続され、ゲートは水平走査回路3に接続されている。尚、後述するように各面素内にはスイッチ用のNチャネルの第3MOSTランジスタT3も設けられている。ここで、MOSTランジスタT3は行選択線を行うものであり、MOSTランジスタQ2は列選択線を行うものである。

【0024】<第1の実施形態>図1に示した面素構成の第1例の各面素に適用される第1の実施形態（図2）について、図面を参照して説明する。

40

【0025】図2において、p型フォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードは第1MOSTランジスタT1のゲート及びドレイン、第2MOSTランジスタT2のゲートに接続されている。MOSTランジスタT2のソースは行選択線用の第3MOSTランジスタT3のドレインに接続されている。MOSTランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSTランジスタT1～T3は、それぞれ、NチャネルのMOSTランジスタでバックゲートが接地され

(b)～(e)において、矢印の方向がポテンシャルが高いことを表す。

【0030】ところで、フォトダイオードPDは、例えば、図4(a)のように、P型の半導体基板（以下、「P型基板」という。）10に、N型ウェル層11を形成するとともに、そのN型ウェル層11にP型拡散層12を設けることによって形成される。又、MOSTランジスタT1は、P型基板10にN型拡散層13、14を形成し、且つ、そのN型拡散層13、14間のチャンネル上に酸化膜15とポリシリコン層16を形成することによって構成される。ここで、N型ウェル層11がフォトダイオードPDのカソード側を形成するとともに、P型拡散層12がアノード側を形成する。又、N型拡散層13、14が、それぞれMOSTランジスタT1のドレイン、ソースを形成するとともに、酸化膜15及びポリシリコン層16がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層13、14の間の領域をゲート下領域ということにする。

【0031】(1)で説明したように、MOSTランジスタT3のゲートにバリスφVを与えらるることによって、図2のような回路構成の各面素から入射光に対して対称変換された電気信号（出力信号）が出力信号線6に出力される。このように出力信号が出力されてバリスφVがローレベルになると、リセット動作が始まる。このリセット動作について、図3及び図4を参照して説明する。【0032】まず、バリス信号φVがトランジスタT3のゲートに与えられて、出力信号が出力された後、リセット動作が始まる。つまり、MOSTランジスタT1のソース側より負の電荷が流れ込み、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が平滑される。よって、図4(b)のように、ある程度までリセットされて、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが下がる。

30

【0033】このように、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが蓄積状態にリセットされようとするが、そのポテンシャルがある値に達するまでリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOSTランジスタT1のソースに与える信号φVPSをローレベルにする。このように、MOSTランジスタT1のソース電圧を低くすることによって、MOSTランジスタT1のポテンシャルが図4(c)のように変化される。よって、MOSTランジスタT1のソースから流入する負の電荷の量が增加し、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合され

ている。【0026】又、フォトダイオードPDのカソードには直流電圧Vが印加されるようになっている。一方、MOSTランジスタT1のソースには信号φVPSが入力され、MOSTランジスタT2のソースには他端に直流電圧VPSが印加されるキャパシタCの一端が接続される。MOSTランジスタT2のドレインには信号φDが入力され、又、MOSTランジスタT3のゲートには信号φVが入力される。尚、信号φVPSは2値の電圧信号で、直流電圧VPSと略等しい電圧でMOSTランジスタT1をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低くMOSTランジスタT1を導通状態にする電圧をローレベルとする。

【0027】(1)各面素への入射光を電気信号に変換する動作について

図2のような回路構成の面素において、MOSTランジスタT1がサブスレッショルド領域で動作するように、MOSTランジスタT1のソースに与える信号φVPSをハイレベルとする。このとき、フォトダイオードPDに入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSTランジスタT1、T2のゲートに発生する。この電圧により、MOSTランジスタT2に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSTランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSTランジスタT3はOFFの状態である。

【0028】次に、MOSTランジスタT3のゲートにバリス信号φVを与えて、MOSTランジスタT3をONにすると、キャパシタCに蓄積された電荷が、出力電流として出力信号線8に導出される。この出力信号線8に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSTランジスタT3をOFFする。

【0029】(2)各面素のリセット動作について以下に、図面を参照して、図2のような回路構成の面素のリセット動作について説明する。図3は、リセット動作を行うときの面素内各素子に接続された各信号線に与える信号のタイミングチャートである。又、図4は、各面素のリセットを行う際のフォトダイオードPD及びMOSTランジスタT1のポテンシャルの状態を示す図である。尚、図4(a)がフォトダイオードPDとMOSTランジスタT1の接続を要した断面図であるとともに、図4(b)～(e)が、この図4(a)の断面図に示した各部のポテンシャルを示す図である。尚、図4

50

路3に接続されている。

【0039】画面G11~Gmには、後述するように、それらの画面で発生した光電流に基づく信号を出力するNチャネルのMOSTランジスタTaが設けられている。MOSTランジスタTaと上記MOSTランジスタQ1との接続関係は図6(a)のようになる。このMOSTランジスタQ1のソースに接続される直流通電圧VPS'と、MOSTランジスタTaのドレインに接続される直流通電圧VPP'との関係はVPP' > VPS'であり、直流通電圧VPP'は例えばグラウンド電圧(接地)である。この回路構成は上段のMOSTランジスタQ1のゲートに信号が入力され、下段のMOSTランジスタQ1のゲートには直流通電圧DCが常時印加される。このため下段のMOSTランジスタQ1は抵抗又は定電流源と等価であり、図6(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSTランジスタTaから増幅出力されるのは電流であると考えよう。

【0040】MOSTランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図7以降の各実施形態の画面内にはスイッチ用のNチャネルの第3MOSTランジスタT3も設けられている。このMOSTランジスタT3も含めて表わすと、図6(a)の回路は正確には図6(b)のようになる。即ち、MOSTランジスタT3がMOSTランジスタQ1とMOSTランジスタTaとの間に挿入されている。ここで、MOSTランジスタT3は行の選択を行っているものであり、MOSTランジスタQ2は列の選択を行っているものであり、尚、図5および図6に示す構成は以下に説明する第2の実施形態〜第4の実施形態に共通の構成である。

【0041】図6のように構成することにより信号を大きく出力することができる。従って、画面がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままだけは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路(図示せず)での処理が容易になる。また、増幅回路の負荷抵抗部分が構成が容易になる。方向に監視される電流の面積を増加させる出力信号線6-1、6-2、...、6-mごとに設けられることにより、負荷抵抗又は定電流源の値を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0042】<第2の実施形態>図5に示した画面構成の第2例の画面に適用される第2の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する図面構成図に設けられた画面の構成を示す回路図である。尚、図2に示す画面と同様の目的で用いられ

る。【0034】よって、図4(d)のように、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが図4(c)の状態と比べて低くなる。図4(d)のようにMOSTランジスタT1のポテンシャルが変化すると、MOSTランジスタT1のソースに与える信号φVPSをバイレベルにする。よって、MOSTランジスタT1のポテンシャル状態が、図4(e)のようになり、基の状態にリセットされる。このように、MOSTランジスタT1のポテンシャルの状態を基の状態にリセットした後、信号φDの電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位を基の状態にリセットする。その後、信号φDの電圧をハイレベルに戻して増幅動作が行える状態にする。

【0035】このように、感光素子であるフォトダイオードPDにドレインが電気的に接続されたMOSTランジスタT1のソースに与える電位を操作してリセットを行うことにより、固体増幅回路の画面の応答性が改善される。従って、暗い被写体を撮像する場合や、明るい被写体が急に暗くなった場合にも増幅の発生を防止して良好な撮像が可能となる。

【0036】尚、各画面からの信号線から出た電荷結合素子(CCD)を用いて行うようにしても構わない。この場合、図2のMOSTランジスタT3に相当するポテンシャルレベルを可変としたポテンシャルの増設を設けることにより、CCDへの電荷読み出しを行えばよい。

【0037】<画面構成の第2例>図5は本発明の他の実施形態である二次元的MOS型固体増幅回路の一部の構成を概略的に示している。同図において、G11~Gmは行列配座(マトリクス配座)された画面を示している。2は垂直走査回路であり、行(ライン)4-1、4-2、...、4-nを順次走査していく。3は水平走査回路であり、画面から出力信号線6-1、6-2、...、6-mに送出された光電変換信号を画面ごとに水平方向に順次読み出す。5は電圧ラインである。各画面に対し、上記ライン4-1、4-2、...、4-nや出力信号線6-1、6-2、...、6-m、電圧ライン5を接続する。例えば、クロックラインやバンプ接続ライン等)も接続されるが、図5ではこれらについて省略し、図7以降の各実施形態において示している。

【0038】出力信号線6-1、6-2、...、6-mごとにNチャネルのMOSTランジスタQ1、Q2が画素の如く1組ずつ設けられている。MOSTランジスタQ1のゲートは直流通電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流通電圧VPS'のライン8に接続されている。一方、MOSTランジスタQ2のドレインは出力信号線6-1に接続され、ソースは接地的な信号線9に接続され、ゲートは水平走査

通って出力信号線6に導出される。今、MOSTランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の増分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号(出力電流)を導出した後、MOSTランジスタT3をOFFにする。

【0048】(2)各画面のリセット動作について以下に、図面を参照して、図7のような回路構成の画面のリセット動作について説明する。図8は、リセット動作を行うときの画面内の各素子に接続された各信号線と与える信号のタイミングチャートである。(1)で説明したように、MOSTランジスタT3のゲートにバイスφVを与えることによって、図7のような回路構成の各画面が入射光に対して対数変換した電流信号(出力信号)が出力信号線6に出力される。このように出力信号が出力されてバイスφVがローレベルになると、リセット動作が始まる。又、本実施形態の画面をリセットするときのMOSTランジスタT1のポテンシャルの状態は、第1の実施形態と同様、図4(b)~(e)のようになる。よって、図4及び図8を参照して、そのリセット動作について説明する。

【0049】まず、バイス信号φVがMOSTランジスタT3のゲートに与えられて、出力信号が出力された後、リセット動作が始まる。そして、第1の実施形態と同様に、MOSTランジスタT1のソース側より負の電荷が流れ込み、MOSTランジスタT1のポテンシャルが図4(b)のような状態になる。

【0050】次に、MOSTランジスタT1のソースに与える信号φVPSをローレベルにして、図4(c)のようになり、MOSTランジスタT1を導通状態にする。よって、MOSTランジスタT1のソースから流入する負の電荷の量が增加し、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアンロードに蓄積された正の電荷が速やかに再結合される。

【0051】よって、図4(d)のように、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなる。このようにMOSTランジスタT1のポテンシャルが変化すると、MOSTランジスタT1のソースに与える信号φVPSをバイレベルにする。よって、MOSTランジスタT1のポテンシャル状態が、図4(e)のようになり、基の状態にリセットされる。このように、前記光電流の増分値を自然対数的に変換した値に比例した電圧が生じるようになる。ただし、このとき、MOSTランジスタT3、T5はOFF状態である。

【0047】次に、MOSTランジスタT3のゲートにバイス信号φVを与えて、MOSTランジスタT3をONにすると、MOSTランジスタT4のゲートにかかる電圧に比例した電流がMOSTランジスタT3、T4を

る素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0043】図7に示すように、本実施形態では、図2に示す画面に、接続ノードaにゲートが接続された接続ノードaの電圧に比例した電流増幅を行う第4MOSTランジスタT4と、接続ノードaの電位の初期化を行う第5MOSTランジスタT5とが付加された構成となる。MOSTランジスタT4のソースがMOSTランジスタT3のドレインに接続され、又、MOSTランジスタT3のソースは出力信号線6(この出力信号線6は図5の6-1、6-2、...、6-mに対応する)へ接続されている。尚、MOSTランジスタT4、T5も、MOSTランジスタT1~T3と同様に、NチャネルのMOSTランジスタでバックゲートが接地されている。

【0044】又、MOSTランジスタT4のドレインには直流通電圧VPPが印加され、MOSTランジスタT3のゲートには信号φVが入力される。又、MOSTランジスタT5のソースには直流通電圧VPPが印加されるとともに、そのゲートには信号φVPSが入力される。更に、MOSTランジスタT2のドレインには直流通電圧VPPが印加され、MOSTランジスタT1のドレインは、第1の実施形態(図2)と同様の動作を行い、入射光に対して対数変換した電流信号(出力信号)を出力することができる。

【0045】(1)各画面への入射光を電流信号に変換する動作について

この実施形態において、信号φVPSの電圧値をハイレベルにして、MOSTランジスタT1をサブスレッショルド領域で動作させることにより、第1の実施形態と同様に、フォトダイオードPDに入射光に応じて出力する光電流に対して自然対数的に変換された出力信号を出力信号線6に出力することができる。以下、このように光電流を自然対数的に変換した出力信号を出力するときの図7に示す画面内の各素子の動作について説明する。

【0046】フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSTランジスタT1、T2のゲートに発生する。この電圧により、MOSTランジスタT2に電流が流れ、キャパシタCには前記光電流の増分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSTランジスタT2のソースとの接続ノードaに、前記光電流の増分値を自然対数的に変換した値に比例した電圧が生じるようになる。ただし、このとき、MOSTランジスタT3、T5はOFF状態である。

【0047】次に、MOSTランジスタT3のゲートにバイス信号φVを与えて、MOSTランジスタT3をONにすると、MOSTランジスタT4のゲートにかかる電圧に比例した電流がMOSTランジスタT3、T4を

て、図面を参照して説明する。図10は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0053】図9に示すように、本実施形態では、MOSTランジスタT2のドレインに信号φDを与えることによってキャパシタC及び接続ノードaの電位を初期化するようにし、それによってMOSTランジスタT5を削除した構成となっている。その他の構成は第2の実施形態（図7）と同一である。尚、信号φDのハイレベル期間では、第1の実施形態（図2）と同様にキャパシタCで積分が行われ、ローレベル期間では、キャパシタCの電荷がMOSTランジスタT2を通して放電され、キャパシタCの電圧及びMOSTランジスタT4のゲートは略信号φDのローレベル電圧になる（リセット）。本実施形態では、MOSTランジスタT5を省略できる分、構成がシンプルになる。

【0054】この実施形態において、撮像動作をさせるときは、第2の実施形態と同様に、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1がサブスレッショルド状態で動作するようにする。このようにMOSTランジスタT1を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSTランジスタT2を流れる。

【0060】そして、MOSTランジスタT3のゲートにバリス信号φVを与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSTランジスタT3を通して出力信号線6に導出される。このとき、MOSTランジスタT2及びMOSTランジスタQ1（図5）の導通抵抗がそれぞれを流れる電流によって決まるMOSTランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号φVが読み出された後、MOSTランジスタT3をOFFにする。

【0061】又、各画素をリセットする際には、第3の実施形態と同様に、まず、バリス信号φVが与えられた後、リセット動作が始まる。次に、MOSTランジスタT1のソースに与える信号φVPSをローレベルにして、MOSTランジスタT1を導通状態にすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加させる。

【0062】よって、第1の実施形態と同様に、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのノードに蓄積された正の電荷が速やかに再結合される。そして、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1のポテンシャル状態を基の状態にリセットする。このように、MOSTランジスタT1のポテンシャルの状態を基の状態にリセットして、再び撮像動作が行える状態になる。

【0063】尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタCで一且積分するということを行わないので、積分時間が不要となり、又、キャパ

シタCのリセットも不要であるので、その分信号処理の高速度が図れる。又、本実施形態では、第3の実施形態に出し、キャパシタC及びMOSTランジスタT4を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0064】以上説明した第1～第4の実施形態は、画素内の駆動素子であるMOSTランジスタT1～T5を全てNチャネルのMOSTランジスタで構成しているが、これらのMOSTランジスタT1～T5を全てPチャネルのMOSTランジスタで構成してもよい。図12及び図15～図17には、上記第1～第4の実施形態をPチャネルのMOSTランジスタで構成した例である。図15～第8の実施形態を示している。そのため図11～図17では接続の極性を印加電圧の極性が逆になっている。例えば、図12（第5の実施形態）において、フォトダイオードPDはノードに直流通電圧VPIに接続され、カソードが第1MOSTランジスタT1のドレインに接続され、また第2MOSTランジスタT2のゲートに接続され、また第3MOSTランジスタT3のソースに接続されている。MOSTランジスタT1のソースには信号φVPSが入力される。

【0065】ところで、図12のような画素が対称変換を行うとき、直流通電圧VPSと直流通電圧VPIは、VPS>VPI となっており、図2（第1の実施形態）と逆である。また、キャパシタCの出力電圧は初期値が高い電圧で、導分によって降下する。また、第3MOSTランジスタT3をONさせるときには、低い電圧をゲートに印加する。更に、図15の実施形態（第6の実施形態）においては、第5MOSTランジスタT5をONさせるときには、低い電圧をゲートに印加する。以上の通り、NチャネルのMOSTランジスタを使った場合に出し、PチャネルのMOSTランジスタを用いる場合は、電圧降降や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図12及び図15～図17については図面では図面では省略する。

【0066】第5の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図1に示し、第6～第8の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図13に示している。図11及び図13については、図1及び図5と同一部分（同一の化短部分）に同一の符号を付して説明を省略する。以下、図13の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSTランジスタQ1とPチャネルのMOSTランジスタQ2が接続されている。MOSTランジスタQ1のゲートは直流通電圧VPIに接続され、ドレインは出力信号線6-1に接続され、ソースは直流通電圧VPSのライン8に接続されている。

【0067】一方、MOSTランジスタQ2のドレイン

用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0053】図9に示すように、本実施形態では、MOSTランジスタT2のドレインに信号φDを与えることによってキャパシタC及び接続ノードaの電位を初期化するようにし、それによってMOSTランジスタT5を削除した構成となっている。その他の構成は第2の実施形態（図7）と同一である。尚、信号φDのハイレベル期間では、第1の実施形態（図2）と同様にキャパシタCで積分が行われ、ローレベル期間では、キャパシタCの電荷がMOSTランジスタT2を通して放電され、キャパシタCの電圧及びMOSTランジスタT4のゲートは略信号φDのローレベル電圧になる（リセット）。本実施形態では、MOSTランジスタT5を省略できる分、構成がシンプルになる。

【0054】この実施形態において、撮像動作をさせるときは、第2の実施形態と同様に、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1がサブスレッショルド状態で動作するようにする。又、信号φDをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタCに蓄積する。そして、所定のタイミングでMOSTランジスタT3をONにして、MOSTランジスタT4のゲートにかかる電圧に比例した電流をMOSTランジスタT3、T4を通して出力信号線6に導出する。

【0055】又、各画素をリセットするときは、第1の実施形態と同様に、図3のタイミング図を参照する。即ち、まず、第1の実施形態と同様に、バリス信号φVが与えられた後、リセット動作が始まる。次に、MOSTランジスタT1のソースに与える信号φVPSをローレベルにして、MOSTランジスタT1を導通状態にすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加させる。よって、第1の実施形態と同様に、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのノードに蓄積された正の電荷が速やかに再結合される。

【0056】そして、MOSTランジスタT1のソースに与える信号φVPSをハイレベルにして、MOSTランジスタT1のポテンシャル状態を基の状態にリセットする。このように、MOSTランジスタT1のポテンシャルの状態を基の状態にリセットした後、信号φDの電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位をリセットする。その後、信号φDの電圧をハイレベルに戻して撮像動作が行える状態にする。

【0057】<第4の実施形態>第4の実施形態につい

は出力信号線6-1に接続され、ソースは駆動的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSTランジスタQ1は画素内のPチャネルのMOSTランジスタT aと共に図14（a）に示すような増幅回路を構成している。尚、MOSTランジスタT aは、第6、第7の実施形態では第2MOSTランジスタT4に相当し、又、第8の実施形態では第2MOSTランジスタT2に相当する。

【0068】この場合、MOSTランジスタQ1はMOSTランジスタT aの負荷抵抗又は定電流源となっている。従って、このMOSTランジスタQ1のソースに接続される直流通電圧VPSと、MOSTランジスタT aのドレインに接続される直流通電圧VPIとの関係は、VPI<VPSであり、直流通電圧VPIは例えばグラウンド電圧（接地）である。MOSTランジスタQ1のドレインはMOSTランジスタT aに接続され、ゲートには直流通電圧が印加されている。PチャネルのMOSTランジスタQ2は水平走査回路3によって制御され、増幅回路スタQ2は最終的な信号線9へ導出する。第6～第8の実施形態のように、画素内に設けられた第3MOSTランジスタT3を考慮すると、図14（a）の回路は図14（b）のように置換される。

【0069】

【発明の効果】以上説明したように、本発明の固体撮像装置によれば、各画素のリセットを速やかに行うことができるので、撮像時の応答性を良くすることができ、低輝度の被写体を撮像したときに発生する残像をなくすることができ、又、駆動素子をMOSTランジスタで構成することにより高集積化が容易となり、周辺処理回路（A/Dコンバータ、デジタル・システム・プロセス、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である二次元固体撮像装置の全体構成を説明するためのブロック回路図。

【図2】本発明の第1の実施形態の1画素の構成を示す回路図。

【図3】第1の実施形態で使用する画素の名素子に与える信号のタイミングチャート。

【図4】本発明で使用する画素の構成及びポテンシャルの関係を表した図。

【図5】本発明の一実施形態である二次元固体撮像装置の全体構成を説明するためのブロック回路図。

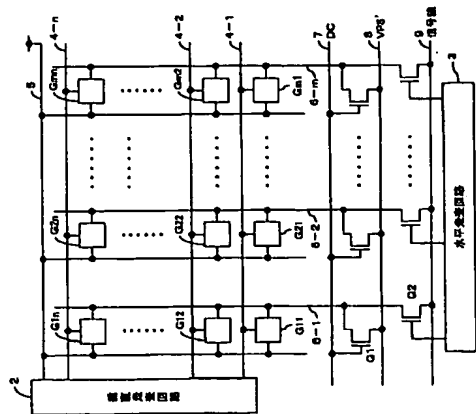
【図6】図5の一部の回路図。

【図7】本発明の第2の実施形態の1画素の構成を示す回路図。

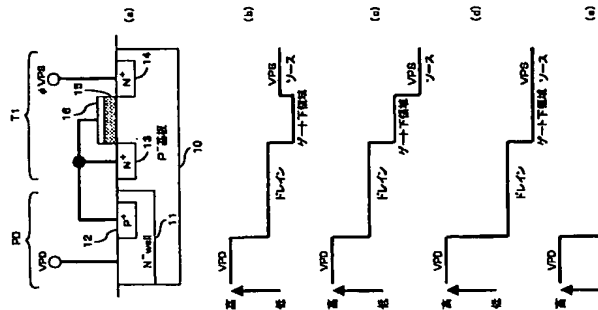
【図8】第2の実施形態で使用する画素の名素子に与える信号のタイミングチャート。

【図9】本発明の第3の実施形態の1画素の構成を示す回路図。

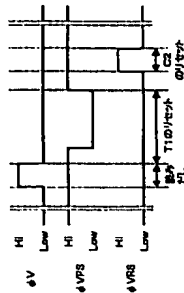
【図5】



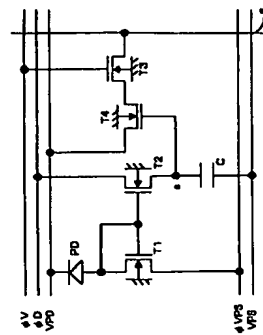
【図4】



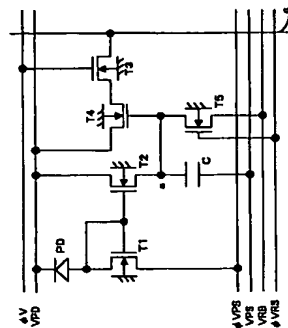
【図8】



【図9】



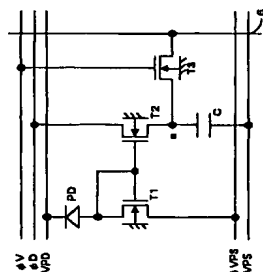
【図7】



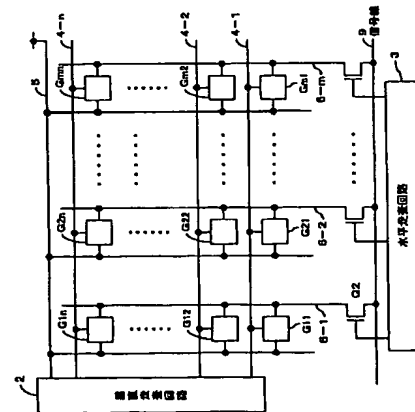
【図18】従来例の1画素の構成を示す回路図。

- 【符号の説明】
- G11~Gmn 画素
 - 2 垂直走査回路
 - 3 水平走査回路
 - 4-1~4-n 行選択線
 - 6-1~6-m 出力信号線
 - 7 直流電圧線
 - 8 ライン
 - 9 信号線
 - 10 P型半導体基板
 - 11 N型ウェル層
 - 12 P型拡散層
 - 13, 14 N型拡散層
 - 15 酸化膜
 - 16 ポリシリコン
 - PD フォトダイオード
 - T1~T5 第1~第5MOSトランジスタ
 - C キャパシタ

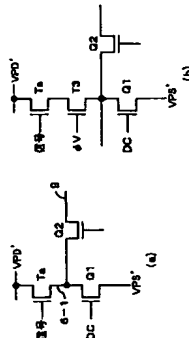
【図2】



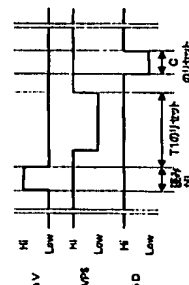
【図1】



【図6】



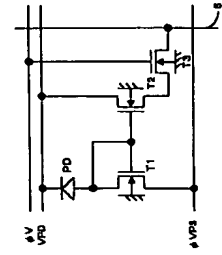
【図3】



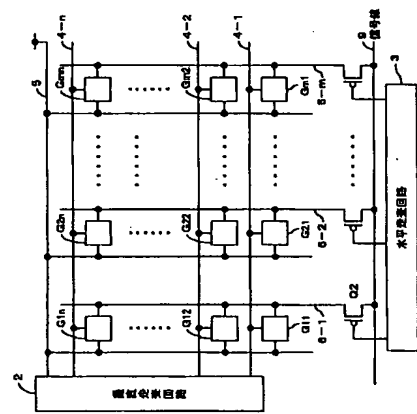
【図10】本発明の第4の実施形態の1画素の構成を示す回路図。

- 【図11】画素内の駆動素子をPチャネルのMOSTラジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。
- 【図12】本発明の第5の実施形態の1画素の構成を示す回路図。
- 【図13】画素内の駆動素子をPチャネルのMOSTラジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。
- 【図14】図13の一部の回路図。
- 【図15】本発明の第6の実施形態の1画素の構成を示す回路図。
- 【図16】本発明の第7の実施形態の1画素の構成を示す回路図。
- 【図17】本発明の第8の実施形態の1画素の構成を示す回路図。

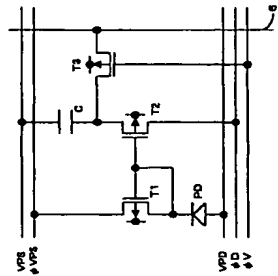
【図10】



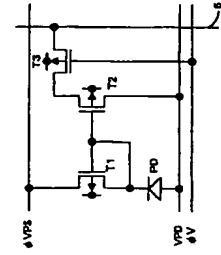
【図11】



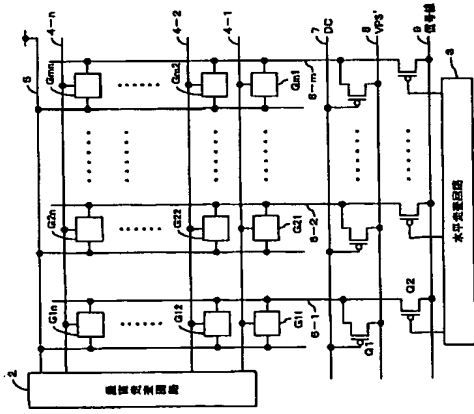
【図12】



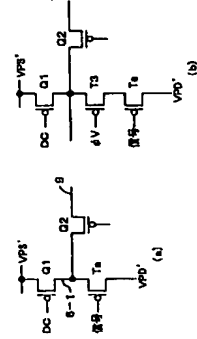
【図17】



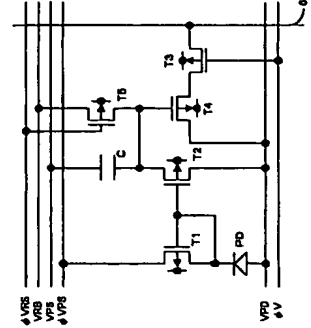
【図13】



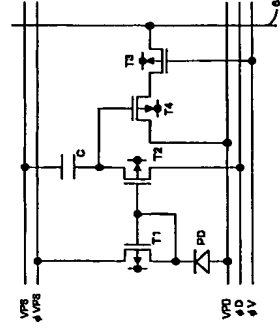
【図14】



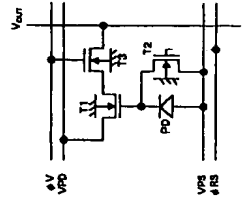
【図15】



【図16】



【図18】



フロントページの続き

Fターム(参考) 4M118 AA02 AA05 AB01 BA14 CA02
CA03 FA06
5C024 BA01 CA08 CA15 CA20 GA01
GA33 BA05 JA04 JA29
5T049 AA02 AA03 NA19 NB05 QA01
BA02 UA01 UA07